

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Ki-Chul Kim et al.

Serial No.: To Be Assigned

Filed: Concurrently Herewith

For: INTEGRATED CIRCUIT DEVICES WITH METAL-INSULATOR-METAL
CAPACITORS AND METHODS OF FORMING THE SAME

Date: March 23, 2004

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

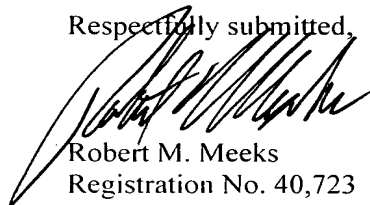
SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the following
Korean priority application:

10-2003-0042171, filed June 26, 2003.

Respectfully submitted,

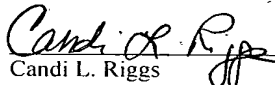


Robert M. Meeks
Registration No. 40,723

USPTO Customer No. 20792
Myers Bigel Sibley & Sajovec
Post Office Box 37428
Raleigh, North Carolina 27627
Telephone: 919/854-1400
Facsimile: 919/854-1401

"Express Mail" mailing label number EV 381443543 US
Date of Deposit: March 23, 2004

I hereby certify that this paper or fee is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to Mail Stop Patent Application, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.



Candi L. Riggs



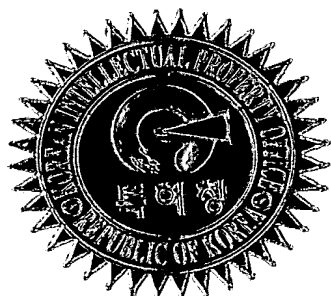
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0042171
Application Number

출원 년 월 일 : 2003년 06월 26일
Date of Application JUN 26, 2003

출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



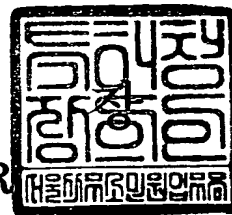
2003 년 12 월 19 일

특

허

청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【창조번호】	0002
【제출일자】	2003.06.26
【발명의 명칭】	커패시터를 구비하는 반도체 소자 및 그 형성 방법
【발명의 영문명칭】	Semiconductor device with capacitor and method of forming the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	김기철
【성명의 영문표기】	KIM, KI-CHUL
【주민등록번호】	730427-1041932
【우편번호】	463-906
【주소】	경기도 성남시 분당구 이매동 한신아파트 209동 701호
【국적】	KR
【발명자】	
【성명의 국문표기】	김영선
【성명의 영문표기】	KIM, YOUNG-SUN
【주민등록번호】	640717-1046422
【우편번호】	442-470

【주소】	경기도 수원시 팔달구 영통동 988-2 살구골 성지아파트 711동 1301호
【국적】	KR
【발명자】	
【성명의 국문표기】	남갑진
【성명의 영문표기】	NAM,GAB-JIN
【주민등록번호】	670821-1332917
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 청명마을3단지아파트 333동 1901호
【국적】	KR
【발명자】	
【성명의 국문표기】	김성태
【성명의 영문표기】	KIM,SUNG-TAE
【주민등록번호】	601227-1002238
【우편번호】	137-071
【주소】	서울특별시 서초구 서초1동 현대아파트 20동 805호
【국적】	KR
【발명자】	
【성명의 국문표기】	권종완
【성명의 영문표기】	KWON,Thomas Jongwan
【주소】	경기도 용인시 풍덕천동 성지아파트 506동 303호
【국적】	US
【발명자】	
【성명의 국문표기】	최한메
【성명의 영문표기】	CHOI,HAN-MEI
【주민등록번호】	710420-1069227
【우편번호】	137-131
【주소】	서울특별시 서초구 양재1동 15-10, 305
【국적】	KR
【발명자】	
【성명의 국문표기】	임재순
【성명의 영문표기】	LIM, JAE-SOON
【주민등록번호】	730310-2055115

【우편번호】 131-142
【주소】 서울특별시 중랑구 묵1동 122-47 천지빌라 B-01
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인
임창현 (인) 대리인
권혁수 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 16 면 16,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 24 항 877,000 원
【합계】 922,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

기존공정에 적용이 용이한 MIM 구조의 커패시터를 구비하는 반도체 소자 및 그 형성 방법을 제공한다. 이 방법에 따르면, 반도체 기판을 노출시키는 콘택홀을 구비하는 층간절연막을 형성한다. 상기 층간절연막 상에 도전막을 적층하여 상기 콘택홀을 채운다. 상기 도전막 상에 오믹층 및 베리어막을 차례로 적층한다. 상기 베리어막, 상기 오믹층 및 상기 도전막을 차례로 패터닝하여 스테드형 매몰콘택, 오믹층패턴 및 베리어막패턴을 형성한다. 상기 반도체 기판의 전면에 식각저지막을 콘포말하게 적층한다. 상기 식각저지막을 관통하여 상기 스테드형 매몰콘택과 전기적으로 접속하는 하부전극을 형성한다. 그리고, 상기 하부전극을 콘포말하게 덮는 유전막 및 상부전극을 형성한다.

【대표도】

도 1

【색인어】

MIM, 커패시터

【명세서】**【발명의 명칭】**

커패시터를 구비하는 반도체 소자 및 그 형성 방법{Semiconductor device with capacitor and method of forming the same}

【도면의 간단한 설명】

도 1은 본 발명의 일 실시예에 따른 반도체 소자의 단면도를 나타낸다.

도 2 내지 도 9는 도 1의 반도체 소자를 순차적으로 형성하는 방법을 나타내는 공정단면도들이다.

도 11은 본 발명의 다른 실시예에 따른 반도체 소자의 단면도를 나타낸다.

도 12는 도 11의 반도체 소자를 형성하기 위한 한 과정을 나타내는 공정단면도이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<5> 본 발명은 반도체 소자 및 그 형성 방법에 관한 것으로 좀 더 상세하게는 MIM 구조의 커패시터를 구비하는 반도체 소자 및 그 형성 방법에 관한 것이다.

<6> 반도체 소자가 고집적화됨에 따라 커패시터가 차지하는 면적이 감소하고 있다. 이에 따라 커패시턴스의 감소 문제가 심각하게 대두되고 있다. 커패시턴스를 증가시키기 위해서 커패시터의 구조를 변경하거나, 유전상수가 큰 물질을 유전막으로 사용하거나 또는 유전막의 두께를 감소시키는 방법이 있다. 커패시터의 구조를 변경하는 방법은 반도체 소자의 고집적화로 인해 한계가 있다.

<7> 따라서 유전상수가 큰 물질을 유전막으로 사용하는 방법에 대해서 연구되어 왔다. 예를 들어 DRAM(Dynamic Random Access Memory) 장치에서는 유전막으로 실리콘산화막/실리콘질화막/실리콘산화막 (Oxide/Nitride/Oxide layer)의 3중막을 이용하는 폴리실리콘/유전막/폴리실리콘 구조(SIS 구조)의 커패시터에서, ONO(Oxide/Nitride/Oxide layer)의 3중막 보다 더 높은 유전상수를 갖는 산화탄탈륨(Ta_2O_5)막 또는 BST($(Ba,Sr)TiO_3$)막을 유전막으로 이용하는 폴리실리콘/유전막/금속 구조(MIS 구조) 또는 금속/유전막/금속 구조(MIM 구조)가 제시되고 있다. 또한 더욱 커패시턴스를 증가시키기 위하여 산화탄탈륨막등을 얇게 형성하는 방법에 대해서도 연구가 활발하다.

<8> SIS 구조 또는 MIS 구조와 같이 폴리실리콘을 전극 물질로 사용할 때에는 복잡한 구조도 용이하게 형성될 수 있고, 기존의 집적회로 공정에 부합한다는 장점이 있으나, 전계가 인가되었을 때 공핍층이 형성되고 이 공핍층이 유전막과 병렬 커패시터로 작용하게 되어 전체 커패시턴스를 감소시키는 문제를 야기한다. 또한 MIS 구조에서와 같이 하부전극을 폴리실리콘으로 사용할 경우 하부전극 표면에 자연산화막이 형성되어 전체 유전막의 두께가 증가되어 전체 커패시턴스가 감소한다.

<9> 반면, MIM 구조와 같이 금속으로 이루어지는 전극을 사용하는 경우에는 공핍층이 형성되지 않으므로 공핍층에 의한 정전용량의 감소 문제가 없다. 또한 MIS 구조에서와 같이 자연산화막의 형성이 없으므로 고집적화에 적합하다. 그러나 기존의 집적회로 공정에 적용하는데 여러 어려움이 있다.

<10> MIM구조의 커패시터를 반도체 기판 상의 트랜지스터와 연결하기 위한 매몰콘택이 필요하다. 매몰콘택은 갭필(gap-fill)이 우수하고 저항 조절이 용이한 폴리실리콘으로 형성한다. 그러나 폴리실리콘으로 형성되는 매몰콘택 상에 메탈 하부 전극을 형성할 때 저항의 차이로 인해

오믹층(Ohmic layer)을 필요로 한다. 또한 매몰콘택의 산화등을 막기 위해 베리어막을 필요로 한다. 그러나 매몰콘택과 상기 메탈 하부전극 사이에 오믹층과 베리어막을 형성하는 기존의 공정은 리세스 및 평탄화등을 수반하는 등 어렵고 복잡하다.

【발명이 이루고자 하는 기술적 과제】

<11> 따라서, 본 발명의 기술적 과제는 기존의 집적회로 공정에 적용하기 용이한 MIM 구조의 커패시터를 갖는 반도체 소자 및 그 형성 방법을 제공하는데 있다.

【발명의 구성 및 작용】

<12> 상기 기술적 과제를 달성하기 위한 본 발명에 따른 반도체 소자는 스테드형 매몰콘택을 구비하는 것을 특징으로 한다.

<13> 좀 더 구체적으로, 상기 반도체 소자는 셀 어레이 영역과 주변회로 영역을 구비하는 반도체 기판; 상기 셀 어레이 영역에서 상기 반도체 기판을 노출시키는 콘택홀을 구비하는 층간절연막; 상기 콘택홀을 채우며 상기 콘택홀 밖으로 돌출되되 상기 콘택홀의 폭보다 큰 폭을 갖는 패드부를 구비하는 스테드형 매몰 콘택; 상기 스테드형 매몰 콘택 상에 차례로 정렬되되 상기 패드부와 자기정렬된 오믹층패턴 및 베리어막패턴; 상기 베리어막의 상부와 측벽, 상기 오믹층패턴의 측벽 및 상기 패드부의 측벽을 콘포말하게 덮는 식각저지막; 상기 식각저지막을 관통하여 상기 스테드형 매몰콘택과 전기적으로 접속하는 하부전극; 및 상기 하부전극의 프로파일을 따라 콘포말하게 적층되는 유전막 및 상부전극을 구비한다.

<14> 상기 반도체 소자는 상기 주변회로 영역에서 상기 층간절연막 상에 차례로 적층된 도전막 패턴, 상기 오믹층패턴 및 상기 베리어막패턴을 구비하는 저항소자를 더 구비할 수 있으며, 이때 상기 도전막 패턴과 상기 스테드형 매몰콘택은 동일한 물질로 이루어진다.

- <15> 상기 반도체 소자에 있어서, 상기 스퍼드형 매몰 콘택은 바람직하게는 불순물이 도핑되거나 도핑되지 않은 폴리실리콘으로 이루어질 수 있다. 상기 오믹층패턴은 바람직하게는 티타늄실리사이드(TiSi_x)로 이루어질 수 있다. 상기 베리어막패턴은 바람직하게는 티타늄질화막(TiN), 탄탈륨질화막(TaN), 탄탈륨알루미늄질화막(TaAlN), 및 티타늄알루미늄질화막(TiAlN)을 포함하는 그룹에서 선택되는 하나의 물질로 이루어질 수 있다. 상기 식각저지막은 바람직하게는 실리콘질화막(Si_3N_4) 또는 탄탈륨산화막(TaO_x)일 수 있다. 상기 하부전극 및 상기 상부전극은 바람직하게는 티타늄질화막(TiN), 탄탈륨질화막(TaN), 텅스텐질화막(WN), 루테튬(Ru), 백금(Pt), 이리듐(Ir), 오스뮴(Os), 로듐(Rh), 코발트(Co), 및 니켈(Ni)을 포함하는 그룹에서 선택되는 적어도 하나의 물질로 이루어질 수 있다.
- <16> 상기 반도체 소자는 상기 식각저지막과 상기 베리어막패턴 사이에 개재되는 금속식각저지막패턴을 더 구비할 수 있다. 이때 상기 금속식각저지막패턴은 바람직하게는 텅스텐(W), 알루미늄(Al), 구리(Cu), 티타늄질화막(TiN), 탄탈륨질화막(TaN), 텅스텐질화막(WN), 루테튬(Ru), 백금(Pt), 이리듐(Ir), 오스뮴(Os), 로듐(Rh), 코발트(Co), 및 니켈(Ni)을 포함하는 그룹에서 선택되는 적어도 하나의 물질로 이루어질 수 있다.
- <17> 상기 반도체 소자는 상기 유전막과 상기 식각저지막 사이에 개재되는 지지막을 더 구비할 수 있다. 이때, 상기 지지막은 실리콘질화막(Si_3N_4), HSQ(Hydrogen Silsesquioxane), BPSG(Boron Phosphorus Silicate Glass), HDP(High density plasma) 산화막, PETEOS(plasma enhanced tetraethyl orthosilicate), USG(Undoped Silicate Glass), PSG(Phosphorus Silicate Glass), PE- SiH_4 및 Al_2O_3 를 포함하는 그룹에서 선택되는 적어도 하나의 물질로 이루어질 수 있다.

<18> 상기 반도체 소자를 형성하는 방법은 다음과 같다. 먼저, 셀 어레이 영역과 주변회로 영역을 구비하는 반도체 기판을 준비한다. 상기 셀 어레이 영역에서 상기 반도체 기판을 노출시키는 콘택홀을 구비하는 층간절연막을 형성한다. 상기 층간절연막 상에 도전막을 적층하여 상기 콘택홀을 채운다. 상기 도전막 상에 오믹층 및 베리어막을 차례로 적층한다. 상기 베리어막, 상기 오믹층 및 상기 도전막을 차례로 패터닝하여 상기 셀 어레이 영역에서 스테드형 매몰콘택, 오믹층패턴 및 베리어막패턴을 형성한다. 상기 반도체 기판의 전면에 식각저지막을 콘포말하게 적층한다. 상기 식각저지막을 관통하여 상기 스테드형 매몰콘택과 전기적으로 접속하는 하부전극을 형성한다. 그리고, 상기 하부전극을 콘포말하게 덮는 유전막 및 상부전극을 형성한다.

<19> 상기 방법에 있어서, 상기 베리어막, 상기 오믹층 및 상기 도전막을 차례로 패터닝하여 상기 셀 어레이 영역에서 스테드형 매몰콘택, 오믹층패턴 및 베리어막패턴을 형성할 때, 상기 주변회로 영역에서 차례로 적층된 도전막패턴, 상기 오믹층패턴 및 상기 베리어막패턴을 구비하는 저항소자도 형성될 수 있으며, 이때 상기 도전막 패턴과 상기 스테드형 매몰콘택은 동일한 물질로 형성된다.

<20> 상기 방법에 있어서, 상기 베리어막 상에 금속식각저지막을 형성할 수 있으며, 상기 베리어막이 패터닝되기 전에 상기 금속식각저지막이 패터닝될 수 있다. 또한 상기 식각저지막 상에 지지막을 형성할 수 있으며 상기 하부전극은 상기 지지막과 상기 식각저지막을 관통하여 상기 스테드형 매몰콘택과 전기적으로 접속할 수 있다.

<21> 상기 방법에 있어서, 상기 하부전극은 상기 식각저지막 상에 주형막을 적층하고, 상기 주형막 및 상기 식각저지막을 패터닝하여 상기 베리어막패턴을 노출시키는 스토리지노드홀을 형성하고, 상기 스토리지노드홀에 하부전극막을 콘포말하게 적층하고, 희생막을 적층하고, 평

탄화공정으로 상기 주형막 상의 상기 하부전극막을 제거하여 상기 스토리지노드홀의 내벽을 덮는 하부전극을 형성하고, 그리고 상기 희생막 및 상기 주형막을 제거함으로써 완성될 수 있다.

<22> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 층이 다른 층 또는 기판 상에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 나타내며, A는 셀 어레이 영역을, B는 주변회로 영역을 나타낸다.

<23> <실시예 1>

<24> 도 1은 본 발명의 일 실시예에 따른 반도체 소자의 단면도를 나타낸다.

<25> 도 1을 참조하면, 도시하지는 않았지만 반도체 기판(100) 상에 게이트 전극(미도시)들이 형성되어 있으며 상기 반도체 기판(100) 내에는 소자분리막(미도시)에 의해 활성영역이 한정되며 상기 활성영역내에는 불순물 영역(미도시)이 형성되어 있다. 상기 반도체 기판(100)내의 상기 불순물 영역(미도시)을 노출시키는 콘택홀(120)을 구비하는 층간절연막(110)이 상기 반도체 기판(100) 상에 위치한다. 상기 층간절연막(110)은 HSQ, BPSG, HDP 산화막, PETEOS, USG, PSG, PE-SiH₄ 및 Al₂O₃를 포함하는 그룹에서 선택되는 적어도 하나의 물질로 이루어질 수

있다. 도시하지는 않았지만 상기 게이트 전극(미도시)들 사이에 자기정렬콘택(Self-aligned contact)이 위치하고 상기 콘택홀(120)은 상기 자기정렬콘택을 노출시킬 수도 있다.

<26> 상기 셀 어레이 영역(A)에서 상기 콘택홀(120)을 채우며 상기 층간절연막(110) 위로 돌출되되 상기 콘택홀(120)의 폭보다 넓은 폭을 갖는 패드부(P)를 갖는 스테드(Stud)형 매몰콘택(130a)이 상기 반도체 기판(100)의 상기 불순물 영역과 전기적으로 연결되어 있다. 상기 스테드형 매몰콘택(130a)은 불순물이 도핑되거나 도핑되지않은 폴리실리콘으로 이루어질 수 있다. 상기 패드부(P) 상에 상기 패드부(P)와 정렬된 오믹층패턴(140a), 베리어막패턴(150a) 및 금속식각저지막패턴(160a)이 차례로 적층되어 있다. 이때, 상기 오믹층패턴(140a)은 바람직하게는 티타늄실리사이드($TiSi_x$)로 이루어질 수 있다. 상기 베리어막패턴(150a)은 바람직하게는 티타늄질화막(TiN), 탄탈륨질화막(TaN), 탄탈륨알루미늄질화막(TaAlN), 및 티타늄알루미늄질화막(TiAlN)을 포함하는 그룹에서 선택되는 하나의 물질로 이루어질 수 있다. 상기 금속식각저지막패턴(160a)은 바람직하게는 텅스텐(W), 알루미늄(Al), 구리(Cu), 티타늄질화막(TiN), 탄탈륨질화막(TaN), 텅스텐질화막(WN), 루테늄(Ru), 백금(Pt), 이리듐(Ir), 오스뮴(Os), 로듐(Rh), 코발트(Co), 및 니켈(Ni)을 포함하는 그룹에서 선택되는 적어도 하나의 물질로 이루어질 수 있다.

<27> 상기 주변회로 영역(B)에서는 상기 층간절연막(110) 상에 도전막패턴(130b), 오믹층패턴(140b), 베리어막패턴(150b) 및 금속식각저지막패턴(160b)이 차례로 적층되어 저항소자(R)를 이룬다.

<28> 상기 셀 어레이 영역(A)에서 상기 금속식각저지막패턴(160a)의 상부 및 측벽, 상기 베리어막패턴(150a)의 측벽, 상기 오믹층패턴(140a)의 측벽 및 상기 스테드형 매몰콘택(130a)의 패드부(P)의 측벽은 식각저지막(170)에 의해 콘포말하게 덮

인다. 또한 상기 주변회로 영역(B)에서 상기 저항소자(R)는 상기 식각저지막(170)에 의해 덮인다. 상기 식각저지막은 바람직하게는 실리콘질화막(Si_3N_4) 또는 탄탈륨산화막(TaO_x)일 수 있다. 상기 하부전극 및 상기 상부전극은 바람직하게는 티타늄질화막(TiN), 탄탈륨질화막(TaN), 텅스텐질화막(WN), 루테튬(Ru), 백금(Pt), 이리듐(Ir), 오스뮴(Os), 로듐(Rh), 코발트(Co), 및 니켈(Ni)을 포함하는 그룹에서 선택되는 적어도 하나의 물질로 이루어질 수 있다. 상기 식각저지막(170)을 관통하여 상기 스테드형 매몰콘택(130a)과 전기적으로 접속하도록 하부전극(200a)이 실린더형으로 형성되어 있다. 상기 하부전극(200a)와 상기 식각저지막(170)의 프로파일을 따라 유전막(220)과 상부전극(230)이 차례로 콘포말하게 적층된다. 상기 하부전극(200a) 및 상기 상부전극(230)은 바람직하게는 티타늄질화막(TiN), 탄탈륨질화막(TaN), 텅스텐질화막(WN), 루테튬(Ru), 백금(Pt), 이리듐(Ir), 오스뮴(Os), 로듐(Rh), 코발트(Co), 및 니켈(Ni)을 포함하는 그룹에서 선택되는 적어도 하나의 물질로 이루어질 수 있다. 상기 주변회로 영역(B)에서 주형막(180)이 적층되어 상기 저항소자(R)를 보호할 수 있다.

<29> 상기 반도체 소자에 의하면, 상기 매몰콘택(130a)이 패드부(P)를 갖는 스테드형의 구조를 갖으므로 매몰콘택과 패드부가 동시에 형성될 수 있다. 또한 상기 매몰콘택(130a)의 폭보다 넓은 폭을 갖는 패드부(P)로 인해 상기 하부전극(200a)을 형성할 때 공정마진을 높일 수 있다. 또한 상기 매몰콘택(130a)이 스테드형의 구조를 갖으므로 상기 주변회로 영역(B)에서 저항소자(R)를 동시에 형성이 가능하다.

<30> 도 2 내지 도 9는 도 1의 반도체 소자를 순차적으로 형성하는 방법을 나타내는 공정단면도들이다.

<31> 도 2를 참조하면, 상기 셀 어레이 영역(a)과 상기 주변회로 영역(B)을 구비하는 반도체 기판(100) 상에 소자분리막(미도시)을 형성하여 활성영역을 정의할 수 있다. 상기 활성영역을

가로지르는 게이트 전극(미도시)들을 형성할 수 있다. 상기 게이트 전극(미도시)의 양측의 상기 활성영역내에 불순물 영역(미도시)을 형성할 수 있다. 상기 게이트 전극(미도시)들 사이의 상기 불순물 영역 상에 자기정렬콘택(미도시)을 형성할 수도 있다. 상기 반도체 기판(100) 상에 층간절연막(110)을 형성한다. 상기 주변회로 영역(A)에서 상기 반도체 기판(100)내의 불순물 영역(미도시)을 노출시키는 콘택홀(120)을 형성한다. 상기 콘택홀(120)은 상기 자기정렬콘택(미도시)을 노출시킬 수도 있다. 상기 층간절연막(110)은 HSQ, BPSG, HDP 산화막, PETEOS, USG, PSG, PE-SiH₄ 및 Al₂O₃를 포함하는 그룹에서 선택되는 적어도 하나의 물질의 단일막 또는 다중막으로 형성할 수 있다.

<32> 도 3을 참조하면, 상기 층간절연막(110) 상에 도전막(130)을 적층하여 상기 콘택홀(120)을 채운다. 상기 도전막(130)은 불순물이 도핑되거나 도핑되지 않은 폴리실리콘으로 형성할 수 있다. 상기 도전막(130) 상에 오믹층(140), 베리어막(150) 및 금속식각저지막(160)을 차례대로 형성한다. 상기 오믹층(140)은 티타늄실리사이드(TiSi_x)막으로 형성될 수 있다. 상기 오믹층(140)은 티타늄(Ti)막을 스퍼터링(Sputtering) 또는 PVD(Physical vapor deposition)등으로 적층한 후 질소(N₂) 분위기에서 600~700℃의 온도에서 어닐링(Annealing) 공정을 진행하여 형성될 수 있다. 다른 방법으로 상기 오믹층(140)은 600~800℃의 온도에서 티타늄막을 CVD(Chemical Vapor Deposition) 또는 ALD(Atomic Layer Deposition) 방법으로 증착하여 형성될 수 있다. 상기 베리어막(150)은 바람직하게는 티타늄질화막(TiN), 탄탈륨질화막(TaN), 탄탈륨알루미늄질화막(TaAlN), 및 티타늄알루미늄질화막(TiAlN)을 포함하는 그룹에서 선택되는 하나의 물질로 형성될 수 있다. 상기 금속식각저지막(160)은 바람직하게는 텅스텐(W), 알루미늄(Al), 구리(Cu), 티타늄질화막(TiN), 탄탈륨질화막(TaN), 텅스텐질화막(WN), 루테튬(Ru), 백금

(Pt), 이리듐(Ir), 오스뮴(Os), 로듐(Rh), 코발트(Co), 및 니켈(Ni)을 포함하는 그룹에서 선택되는 적어도 하나의 물질로 형성될 수 있다.

<33> 상기 방법에 있어서, 상기 오믹층(140)은 폴리실리콘으로 이루어지는 상기 도전막(130)과 금속막으로 이루어지는 상기 베리어막(140) 사이의 접촉저항을 감소시키는 역할을 한다. 상기 베리어막(150)은 산소 또는 수소등의 투과를 방지하여 매몰콘택을 이들 상기 도전막(130)이 산화되는 것을 방지한다. 상기 금속식각저지막(160)은 후속으로 하부전극의 형성을 위한 스토리지노드홀을 형성할 때 식각저지막의 역할을 하여 더욱 신뢰성 있는 스토리지노드홀을 형성할 수 있다.

<34> 도 4를 참조하면, 상기 금속식각저지막(160, 상기 베리어막(150), 상기 오믹층(140) 및 상기 도전막(130)을 차례대로 패터닝하여 상기 셀 어레이 영역(A)에서 패드부(P)를 갖는 스퍼트형 매몰콘택(130a), 오믹층패턴(140a), 베리어막패턴(150a) 및 금속식각저지막패턴(160a)을 형성한다. 이와 동시에 상기 주변회로 영역(B)에서 상기 층간절연막(110) 상에 차례로 적층된 도전막패턴(130b), 오믹층패턴(140b), 베리어막패턴(150b) 및 금속식각저지막패턴(160b)으로 구성되는 저항소자(R)를 형성한다. 여기서 상기 스퍼트형 매몰콘택(130a)과 상기 도전막패턴(130b)는 동일한 물질인 상기 도전막(130)으로 형성된다.

<35> 도 5를 참조하면, 상기 반도체 기판(100) 상에 식각저지막(170)을 콘포말하게 적층한다. 이때 상기 식각저지막(170)은 실리콘질화막(Si_3N_4) 또는 탄탈륨산화막(TaO_x)으로 형성될 수 있다. 상기 식각저지막(170) 상에 주형막(180)을 적층한다. 상기 주형막(180)은 HSQ, BPSG, HDP 산화막, PETEOS, USG, PSG, PE-SiH₄ 및 Al₂O₃를 포함하는 그룹에서 선택되는 적어도 하나의 물질로 형성될 수 있다.

- <36> 도 6을 참조하면, 상기 주형막(180)과 상기 식각저지막(170)을 차례대로 패터닝하여 상기 셀 어레이 영역(A)에서 상기 금속식각저지막패턴(160a)을 노출시키는 스토리지노드홀(190)을 형성한다.
- <37> 도 7을 참조하면, 상기 스토리지노드홀(190)이 형성된 상기 층간절연막(180)의 전면 상에 하부전극막(200)을 콘포말하게 적층한다. 이때 상기 하부전극막(200)은 티타늄질화막(TiN), 탄탈륨질화막(TaN), 텅스텐질화막(WN), 루테튬(Ru), 백금(Pt), 이리듐(Ir), 오스뮴(Os), 로듐(Rh), 코발트(Co), 및 니켈(Ni)을 포함하는 그룹에서 선택되는 적어도 하나의 물질로 형성될 수 있다.
- <38> 도 8을 참조하면, 상기 하부전극막(200) 상에 희생막(210)을 적층한다. 상기 희생막(210)은 갭필(gap-fill)이 좋은 SOG(Spin on glass) 방법을 이용하여 HSG등으로 형성할 수 있다.
- <39> 도 9를 참조하면, 상기 희생막(210) 및 상기 하부전극막(200)에 대해 CMP(Chemical mechanical polishing)와 같은 평탄화공정을 진행하여 상기 주형막(180) 상의 상기 희생막(210) 및 상기 하부전극막(200)을 제거하는 동시에 상기 주형막(180)을 노출시킨다. 이때 상기 스토리지노드홀(190) 내부에 하부전극(200a)과 희생막 패턴(210a)이 남는다.
- <40> 도 10을 참조하면, 상기 하부전극(200a) 안의 상기 희생막 패턴(210a)과 상기 주형막(180)은 불산등을 이용하여 각각 제거된다. 상기 희생막 패턴(210a)과 상기 주형막(180)이 동일한 물질로 형성되었을 경우, 동시에 제거될 수 있다. 이로써 상기 식각저지막(170)을 관통하여 상기 금속식각저지막패턴(160a)과 접하는 하부전극(200a)이 남는다. 이때 상기 주변회로 영역(B)의 상기 주형막(180)은 포토레지스트 패턴 또는 하드마스크등을 이용하여 제거되지 않고 남아 상기 저항소자(R)를 보호할 수 있다.

- <41> 후속으로 도 1을 참조하면 유전막(도1의 220)과 상부전극(도 1의 230)을 콘포말하게 적층하여 커패시터를 완성한다. 상기 유전막은 산화탄탈륨막(TaO_x)으로 형성되거나 또는 $BST[(Ba,Sr)TiO_3]$, $PZT[Pb(Zr,Ti)O_3]$ 와 같은 강유전막으로 형성될 수 있다. 상기 상부전극은 상기 하부전극과 동일한 물질로 형성될 수 있다. 후속으로 상기 유전막(220)과 상기 상부전극(230)은 상기 주변회로 영역(B)에서 제거되어 도 1의 구조를 완성한다.
- <42> 상기 방법에 따르면, 폴리실리콘으로 이루어지는 매몰콘택(130a)을 패드부(P)를 포함하는 스테드형으로 만들어서 리세스 공정등을 필요로 하지 않으므로 종래에 간편하며 또한 기존의 집적회로 공정에 적용하기가 더욱 용이하다. 패드부(P)가 매몰콘택과 동시에 형성되므로 공정이 간편하며 넓은 패드부(P)로 인해 스토리지노드홀(190)을 형성할 때 충분한 공정마진을 확보할 수 있다. 또한 상기 매몰콘택(130a)이 스테드형이므로 주변회로 영역(B)에서 저항소자(R)를 동시에 형성할 수 있어 공정을 단순화시킬 수 있다.
- <43> <실시예 2>
- <44> 도 11은 본 발명의 다른 실시예에 따른 반도체 소자의 단면도를 나타낸다.
- <45> 도 11을 참조하면, 도 1과는 달리 유전막(220)과 상기 식각저지막(170) 사이에 지지막(175)이 개재되어 하부전극(130a)의 쓰러짐을 방지하며 지지하는 역할을 한다.
- <46> 도 11의 반도체 소자를 형성하는 방법은 도 12를 이용하여 소개된다.
- <47> 도 12를 참조하면, 도 4의 상태에서 지지막(175)과 주형막(180)을 차례로 적층하고 패터닝하여 스토리지노드홀(190)을 형성한다. 상기 지지막(175)은 상기 주형막(180)과 서로 다른 식각선택비를 갖는 물질로 형성할 수 있다. 상기 지지막(175)은 실리콘질화막(Si_3N_4), HSQ, BPSG, HDP산화막, PETEOS, USG, PSG, PE-SiH₄ 및 Al₂O₃를 포함하는 그룹에서 선택되는 적어도

하나의 물질로 이루어질 수 있다. 상기 지지막(175)이 상기 주형막(180)과 동일한 물질로 형성될 경우, 도시하지는 않았지만 상기 지지막(175) 상에 식각저지막을 형성할 수 있다. 후속으로 하부전극(200a)과 유전막(220) 및 상부전극(230)을 형성한다.

【발명의 효과】

<48> 따라서, 본 발명에 의한 MIM 구조의 커패시터를 구비하는 반도체 소자 및 그 형성 방법에 따르면, 폴리실리콘으로 이루어지는 매몰콘택을 패드를 포함하는 스텔드형으로 만들어서 리세스 공정등을 필요로 하지 않으므로 종래에 간편하며 또한 기존의 집적회로 공정에 적용하기가 더욱 용이하다. 패드부가 매몰콘택과 동시에 형성되므로 공정이 간편하며 넓은 패드부로 인해 스토리지노드홀을 형성할 때 충분한 공정마진을 확보할 수 있다. 또한 매몰콘택이 스텔드형이므로 주변회로 영역에서 저항소자를 동시에 형성할 수 있어 공정을 단순화시킬 수 있다.

【특허청구범위】**【청구항 1】**

셀 어레이 영역과 주변회로 영역을 구비하는 반도체 기판;

상기 셀어레이 영역에서 상기 반도체 기판을 노출시키는 콘택홀을 구비하는
층간절연막;

상기 콘택홀을 채우며 상기 콘택홀 밖으로 돌출되되 상기 콘택홀의 폭보다 큰 폭을 갖는
패드부를 구비하는 스테드형 매몰 콘택;

상기 스테드형 매몰 콘택 상에 차례로 정렬되되 상기 패드부와 자기정렬된 오믹층패턴
및 베리어막패턴;

상기 베리어막의 상부와 측벽, 상기 오믹층패턴의 측벽 및 상기 패드부의 측벽을 콘포말
하게 덮는 식각저지막;

상기 식각저지막을 관통하여 상기 스테드형 매몰콘택과 전기적으로 접속하는 하부전극;
및

상기 하부전극의 프로파일을 따라 콘포말하게 적층되는 유전막 및 상부전극을 구비하는
반도체 소자.

【청구항 2】

제 1 항에 있어서,

상기 스테드형 매몰 콘택은 불순물이 도핑되거나 도핑되지 않은 폴리실리콘으로 이루어
지는 것을 특징으로 하는 반도체 소자.

【청구항 3】

제 1 항에 있어서,

상기 오믹층패턴은 티타늄실리사이드(TiSi_x)로 이루어지는 것을 특징으로 하는 반도체 소자.

【청구항 4】

제 1 항에 있어서,

상기 베리어막패턴은 티타늄질화막(TiN), 탄탈륨질화막(TaN), 탄탈륨알루미늄질화막(TaAlN), 및 티타늄알루미늄질화막(TiAlN)을 포함하는 그룹에서 선택되는 하나의 물질로 이루어지는 것을 특징으로 하는 반도체 소자.

【청구항 5】

제 1 항에 있어서,

상기 식각저지막은 실리콘질화막(Si_3N_4) 또는 탄탈륨산화막(TaO_x)인 것을 특징으로 하는 반도체 소자.

【청구항 6】

제 1 항에 있어서,

상기 하부전극 및 상기 상부전극은 티타늄질화막(TiN), 탄탈륨질화막(TaN), 텅스텐질화막(WN), 루테튬(Ru), 백금(Pt), 이리듐(Ir), 오스뮴(Os), 로듐(Rh), 코발트(Co), 및 니켈(Ni)을 포함하는 그룹에서 선택되는 적어도 하나의 물질로 이루어지는 것을 특징으로 하는 반도체 소자.

【청구항 7】

제 1 항에 있어서,

상기 식각저지막과 상기 베리어막패턴 사이에 개재되는 금속식각저지막패턴을 더 구비하는 것을 특징으로 하는 반도체 소자.

【청구항 8】

제 7 항에 있어서,

상기 금속식각저지막패턴은 텅스텐(W), 알루미늄(Al), 구리(Cu), 티타늄질화막(TiN), 탄탈륨질화막(TaN), 텅스텐질화막(WN), 루테튬(Ru), 백금(Pt), 이리듐(Ir), 오스뮴(Os), 로듐(Rh), 코발트(Co), 및 니켈(Ni)을 포함하는 그룹에서 선택되는 적어도 하나의 물질로 이루어지는 것을 특징으로 하는 반도체 소자.

【청구항 9】

제 1 항에 있어서,

상기 유전막과 상기 식각저지막 사이에 개재되는 지지막을 더 구비하는 것을 특징으로 하는 반도체 소자.

【청구항 10】

제 9 항에 있어서,

상기 지지막은 실리콘질화막(Si_3N_4), HSQ(Hydrogen Silsesquioxane), BPSG(Boron Phosphorus Silicate Glss), HDP(High density plasma) 산화막, PETEOS(plasma enhanced tetraethyl orthosilicate), USG(Undoped Silicate Glass), PSG(Phosphorus Silicate Glss),

PE-SiH₄ 및 Al₂O₃를 포함하는 그룹에서 선택되는 적어도 하나의 물질로 이루어지는 것을 특징으로 하는 반도체 소자.

【청구항 11】

제 1 항에 있어서,

상기 주변회로 영역에서 상기 층간절연막 상에 차례로 적층된 도전막패턴, 상기 오믹층 패턴 및 상기 베리어막 패턴을 구비하는 저항소자를 더 구비하되, 상기 도전막 패턴은 상기 스테드형 매몰 콘택과 동일한 물질로 형성되는 것을 특징으로 하는 반도체 소자.

【청구항 12】

셀 어레이 영역과 주변회로 영역을 구비하는 반도체 기판을 준비하는 단계;

상기 셀 어레이 영역에서 반도체 기판을 노출시키는 콘택홀을 구비하는 층간절연막을 형성하는 단계;

상기 층간절연막 상에 도전막을 적층하여 상기 콘택홀을 채우는 단계;

상기 도전막 상에 오믹층 및 베리어막을 차례로 적층하는 단계;

상기 베리어막, 상기 오믹층 및 상기 도전막을 차례로 패터닝하여 상기 셀 어레이 영역에서 스테드형 매몰콘택, 오믹층패턴 및 베리어막패턴을 형성하는 단계;

상기 반도체 기판의 전면에 식각저지막을 콘포말하게 적층하는 단계;

상기 식각저지막을 관통하여 상기 스테드형 매몰콘택과 전기적으로 접속하는 하부전극을 형성하는 단계; 및

상기 하부전극을 콘포말하게 덮는 유전막 및 상부전극을 형성하는 단계를 구비하는 반도체 소자의 형성 방법.

【청구항 13】

제 12 항에 있어서,

상기 스퍼트형 매몰 콘택은 불순물이 도핑되거나 도핑되지 않은 폴리실리콘으로 형성되는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 14】

제 12 항에 있어서,

상기 오믹층패턴은 티타늄실리사이드($TiSi_x$)로 형성되는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 15】

제 12 항에 있어서,

상기 베리어막패턴은 티타늄질화막(TiN), 탄탈륨질화막(TaN), 탄탈륨알루미늄질화막($TaAlN$), 및 티타늄알루미늄질화막($TiAlN$)을 포함하는 그룹에서 선택되는 하나의 물질로 형성되는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 16】

제 12 항에 있어서,

상기 식각저지막은 실리콘질화막(Si_3N_4) 또는 탄탈륨산화막(TaO_x)으로 형성되는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 17】

제 12 항에 있어서,

상기 하부전극 및 상기 상부전극은 티타늄질화막(TiN), 탄탈륨질화막(TaN), 텅스텐질화막(WN), 루테튬(Ru), 백금(Pt), 이리듐(Ir), 오스뮴(Os), 로듐(Rh), 코발트(Co), 및 니켈(Ni)을 포함하는 그룹에서 선택되는 적어도 하나의 물질로 형성되는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 18】

제 12 항에 있어서,

상기 베리어막 상에 금속식각저지막을 형성하는 단계를 더 구비하되,

상기 베리어막이 패터닝되기 전에 상기 금속식각저지막이 패터닝되는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 19】

제 18 항에 있어서,

상기 금속식각저지막은 텅스텐(W), 알루미늄(Al), 구리(Cu), 티타늄질화막(TiN), 탄탈륨질화막(TaN), 텅스텐질화막(WN), 루테튬(Ru), 백금(Pt), 이리듐(Ir), 오스뮴(Os), 로듐(Rh), 코발트(Co), 및 니켈(Ni)을 포함하는 그룹에서 선택되는 적어도 하나의 물질로 형성되는 것을 특징으로 하는 반도체 소자.

【청구항 20】

제 12 항에 있어서,

상기 식각저지막 상에 지지막을 형성하는 단계를 더 구비하되;

상기 하부전극은 상기 지지막과 상기 식각저지막을 관통하여 상기 스택드형 매몰콘택과 전기적으로 접속하는 것을 특징으로 하는 반도체 소자.

【청구항 21】

제 20 항에 있어서,

상기 지지막은 실리콘질화막(Si_3N_4), HSQ, BPSG, HDP 산화막, PETEOS, USG, PSG, PE-SiH₄ 및 Al_2O_3 를 포함하는 그룹에서 선택되는 적어도 하나의 물질로 형성되는 것을 특징으로 하는 반도체 소자.

【청구항 22】

제 12 항에 있어서,

상기 하부전극을 형성하는 단계는,

상기 식각저지막 상에 주형막을 적층하는 단계;

상기 주형막 및 상기 식각저지막을 패터닝하여 상기 베리어막패턴을 노출시키는 스토리지노드홀을 형성하는 단계;

상기 스토리지노드홀에 하부전극막을 콘포말하게 적층하는 단계;

희생막을 적층하는 단계;

평탄화공정으로 상기 주형막 상의 상기 하부전극막을 제거하여 상기 스토리지노드홀의 내벽을 덮는 하부전극을 형성하는 단계; 및

상기 희생막 및 상기 주형막을 제거하는 단계를 구비하는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 23】

제 22 항에 있어서,

상기 주형막은 HSQ, BPSG, HDP산화막, PETEOS, USG, PSG, PE-SiH₄ 및 Al₂O₃를 포함하는 그룹에서 선택되는 적어도 하나의 물질로 형성되는 것을 특징으로 하는 반도체 소자의 형성 방법.

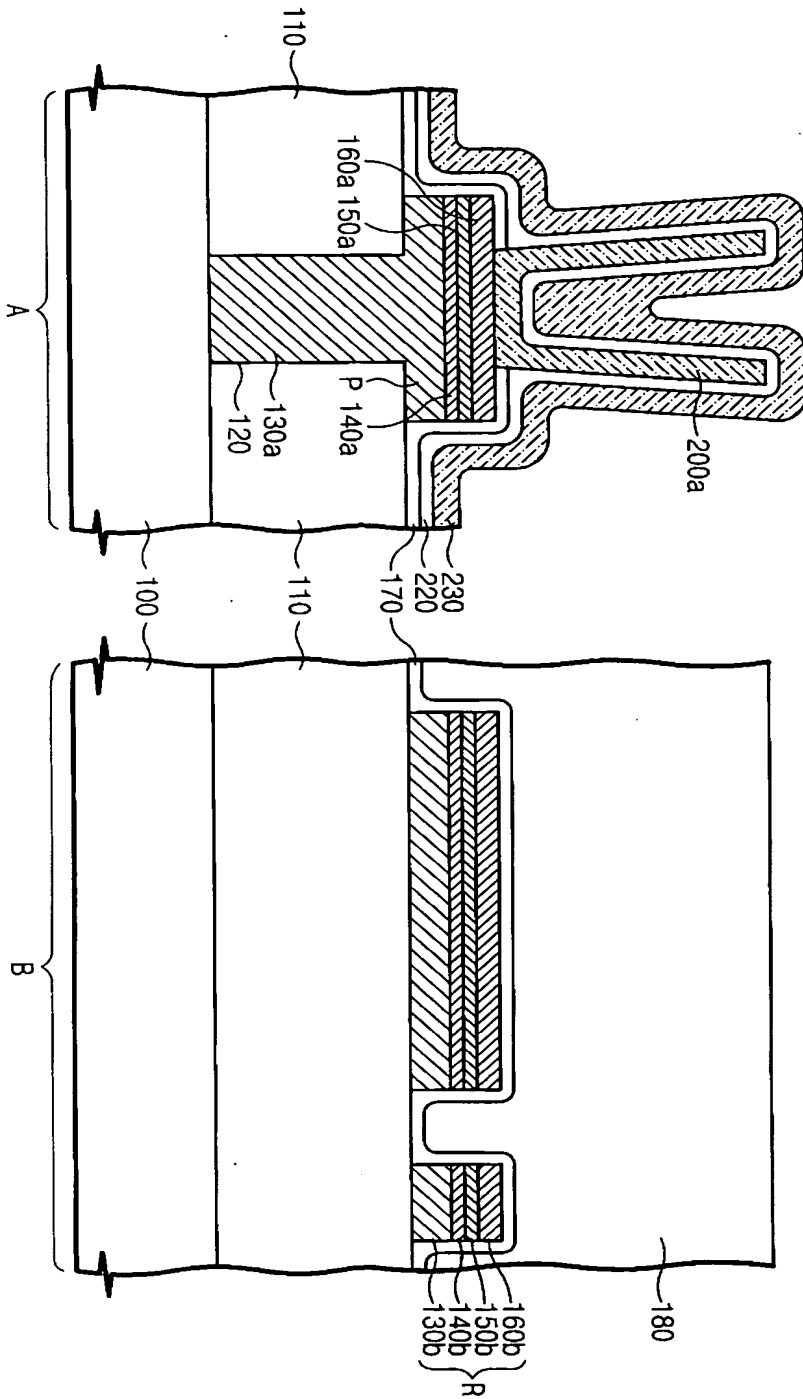
【청구항 24】

제 12 항에 있어서,

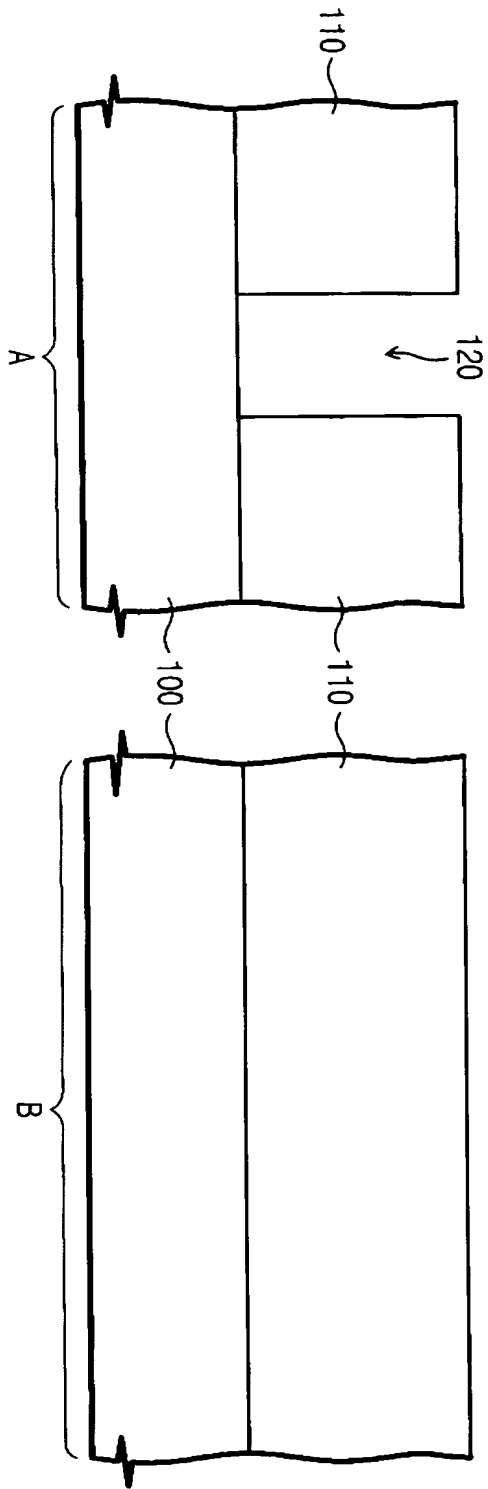
상기 베리어막, 상기 오믹층 및 상기 도전막을 차례로 패터닝하여 상기 셀 어레이 영역에서 스텔드형 매몰콘택, 오믹층패턴 및 베리어막패턴을 형성할 때, 상기 주변회로 영역에서 차례로 적층된 도전막패턴, 상기 오믹층패턴 및 상기 베리어막패턴을 구비하는 저항소자도 형성되며, 상기 도전막 패턴과 상기 스텔드형 매몰콘택은 동일한 물질로 형성되는 것을 특징으로 하는 반도체 소자의 형성 방법.

【도면】

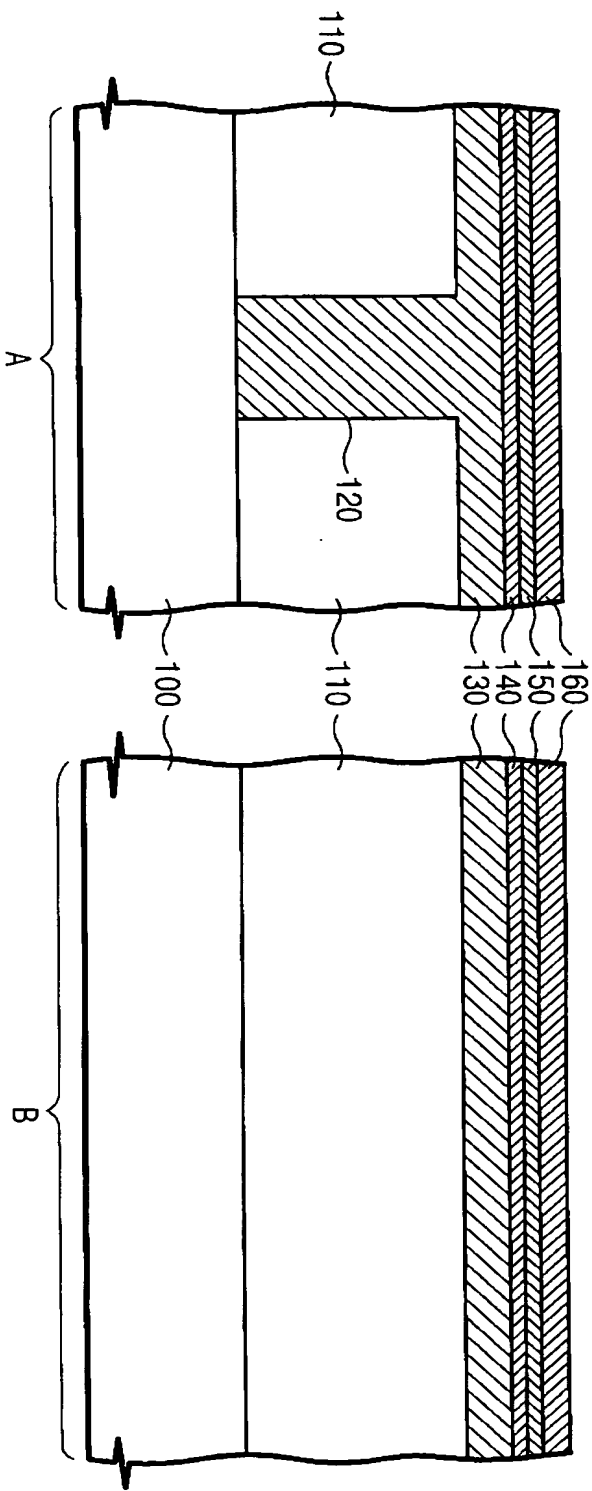
【도 1】



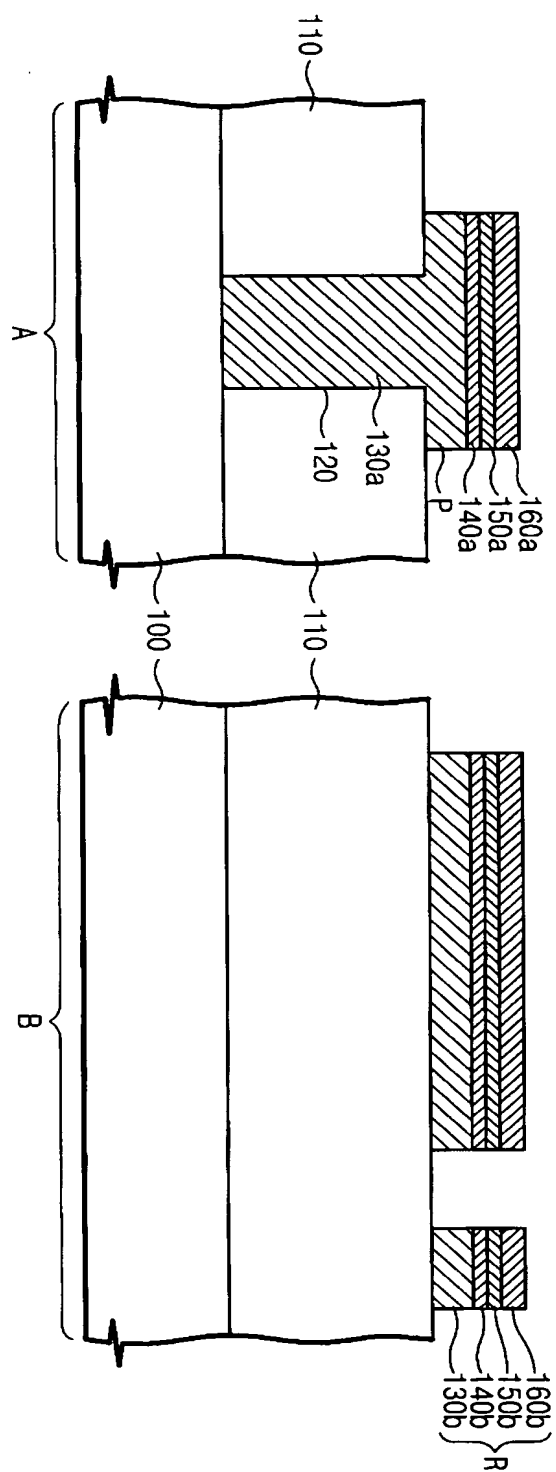
【도 2】



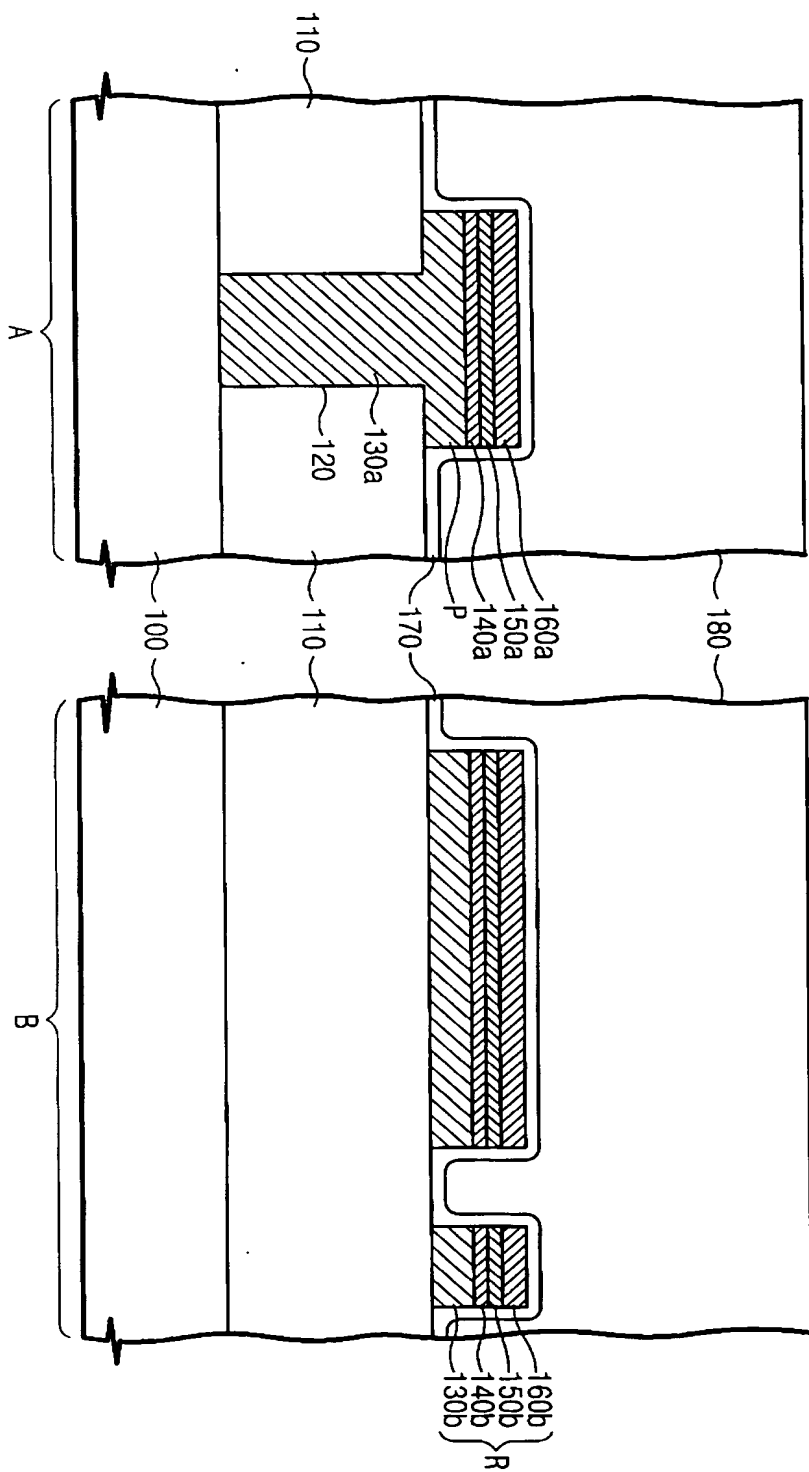
【도 3】



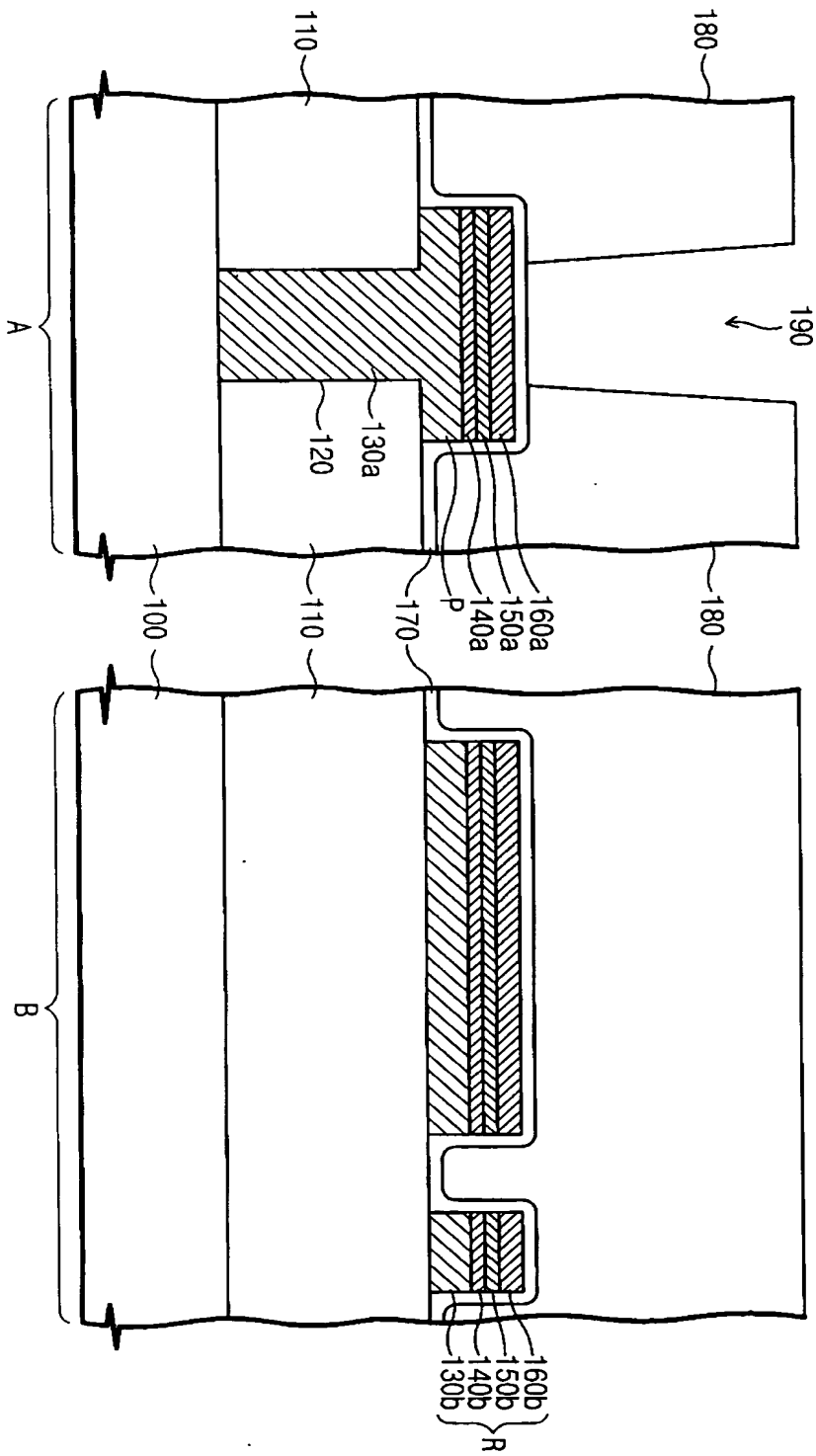
【도 4】



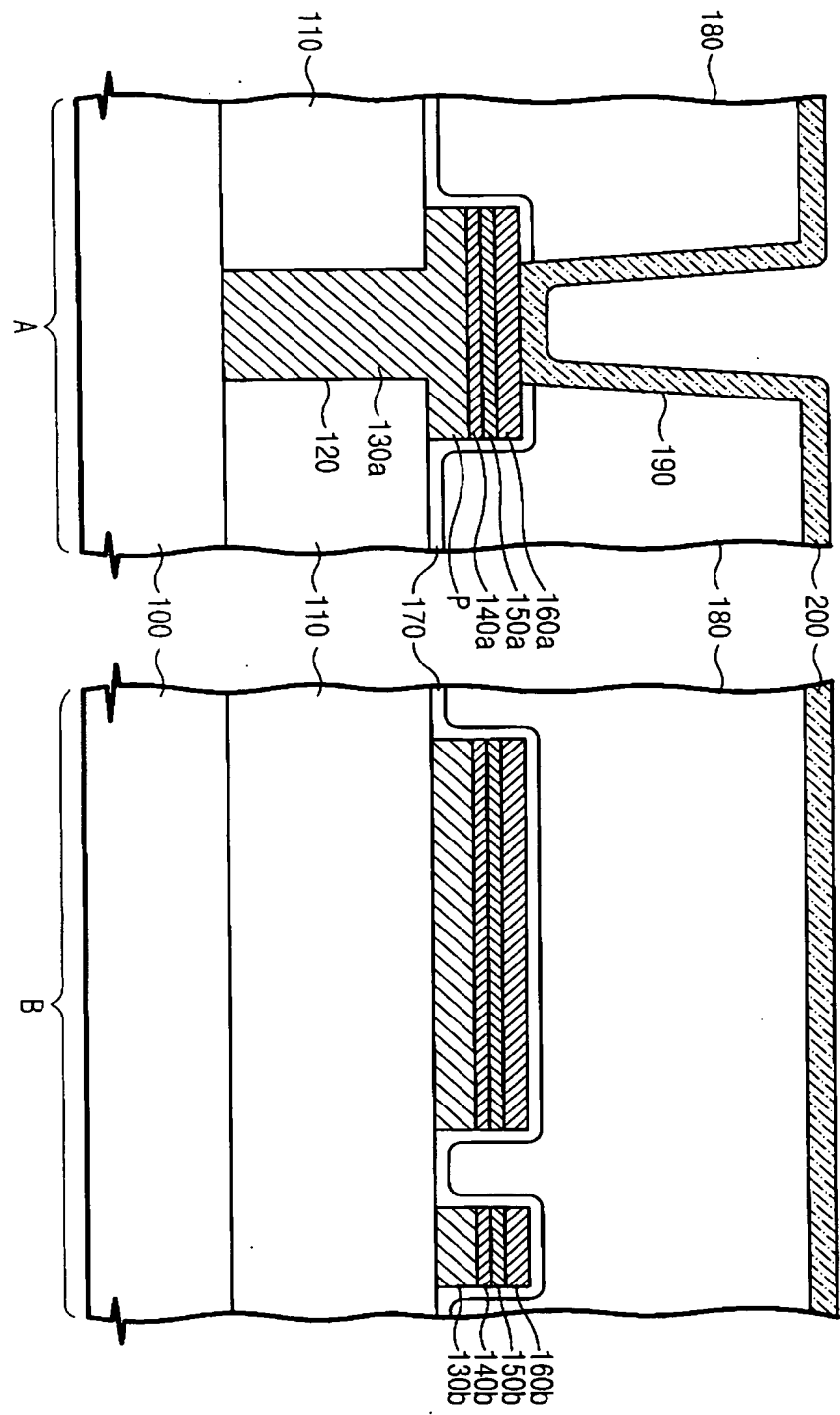
【도 5】



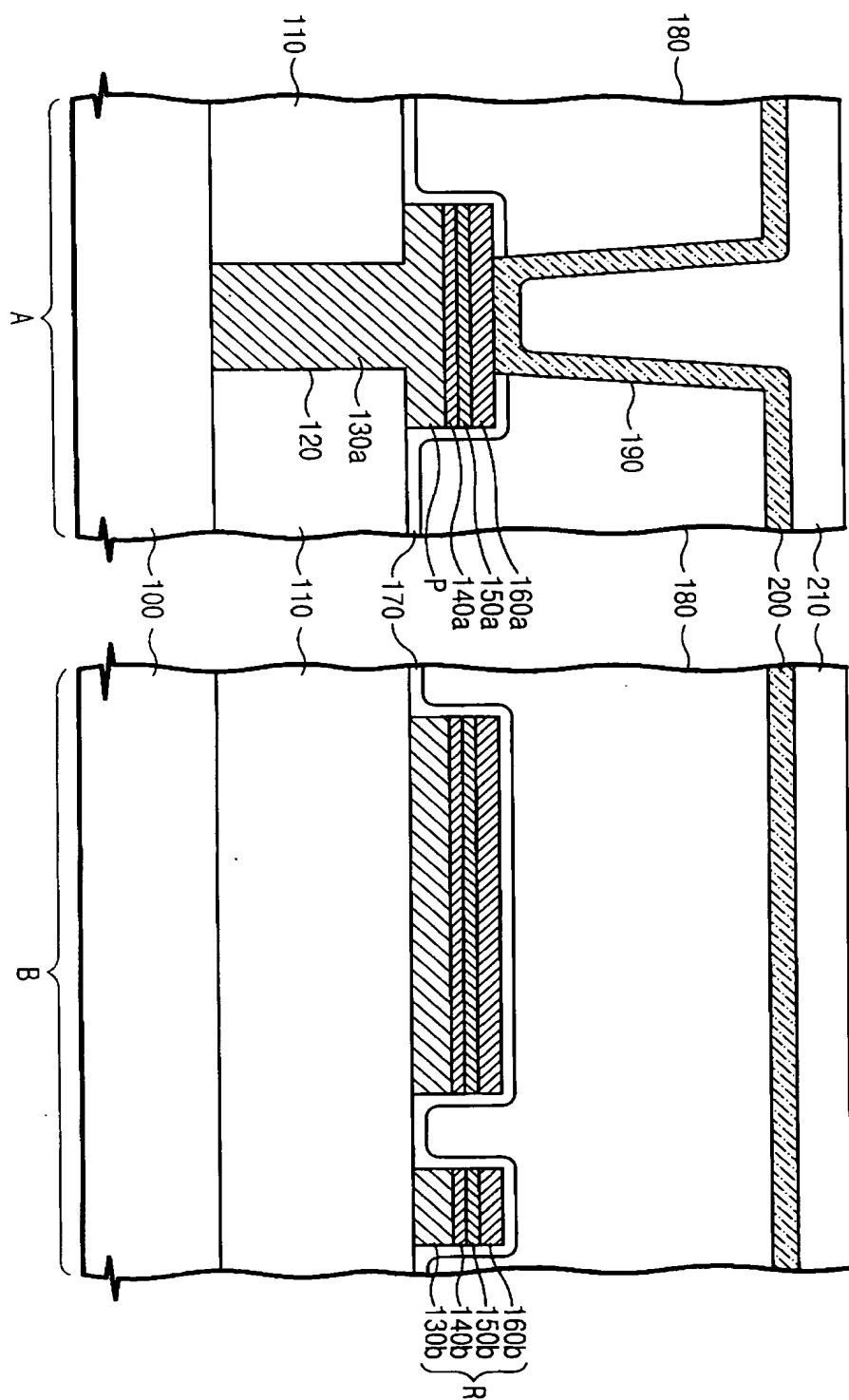
【도 6】



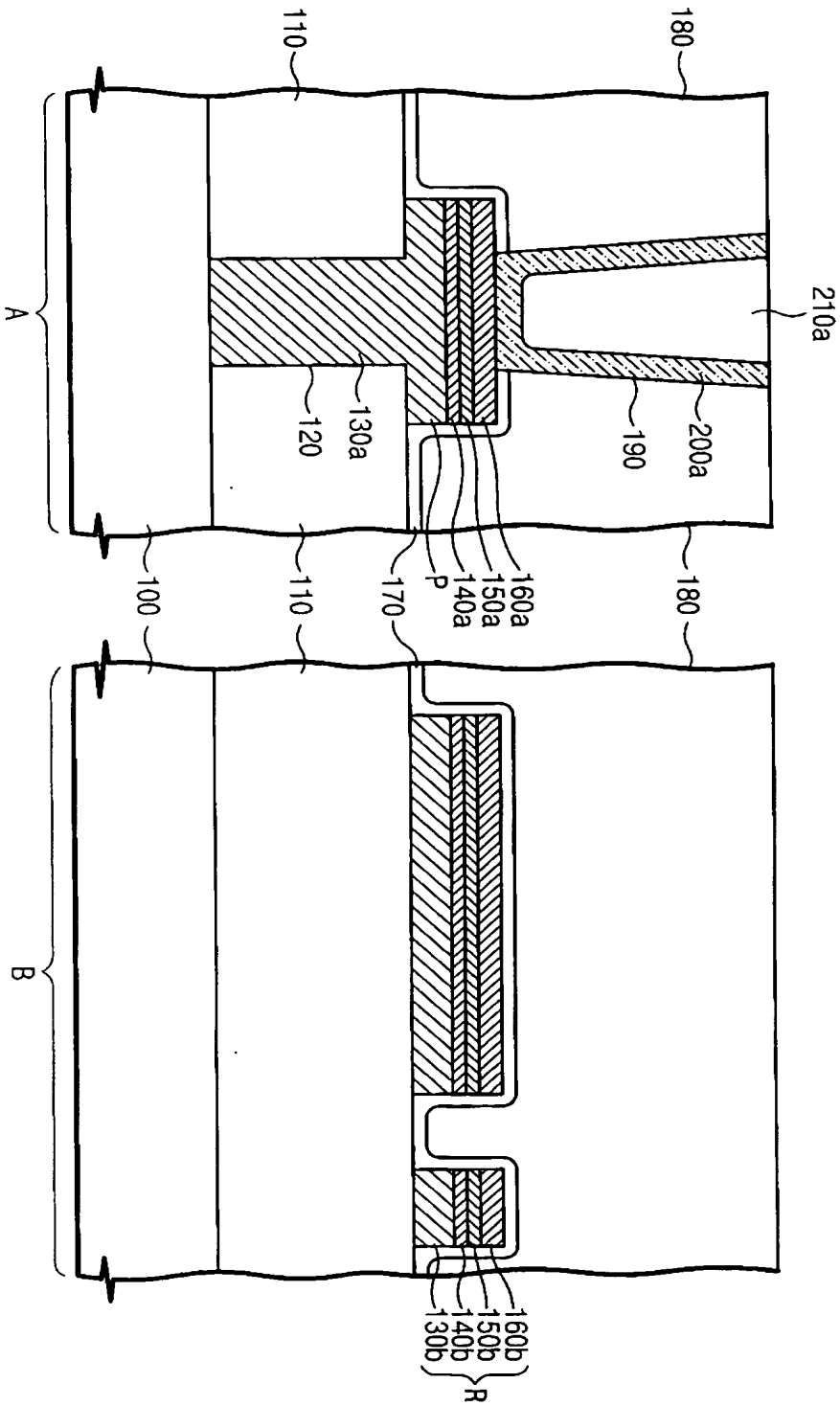
【도 7】



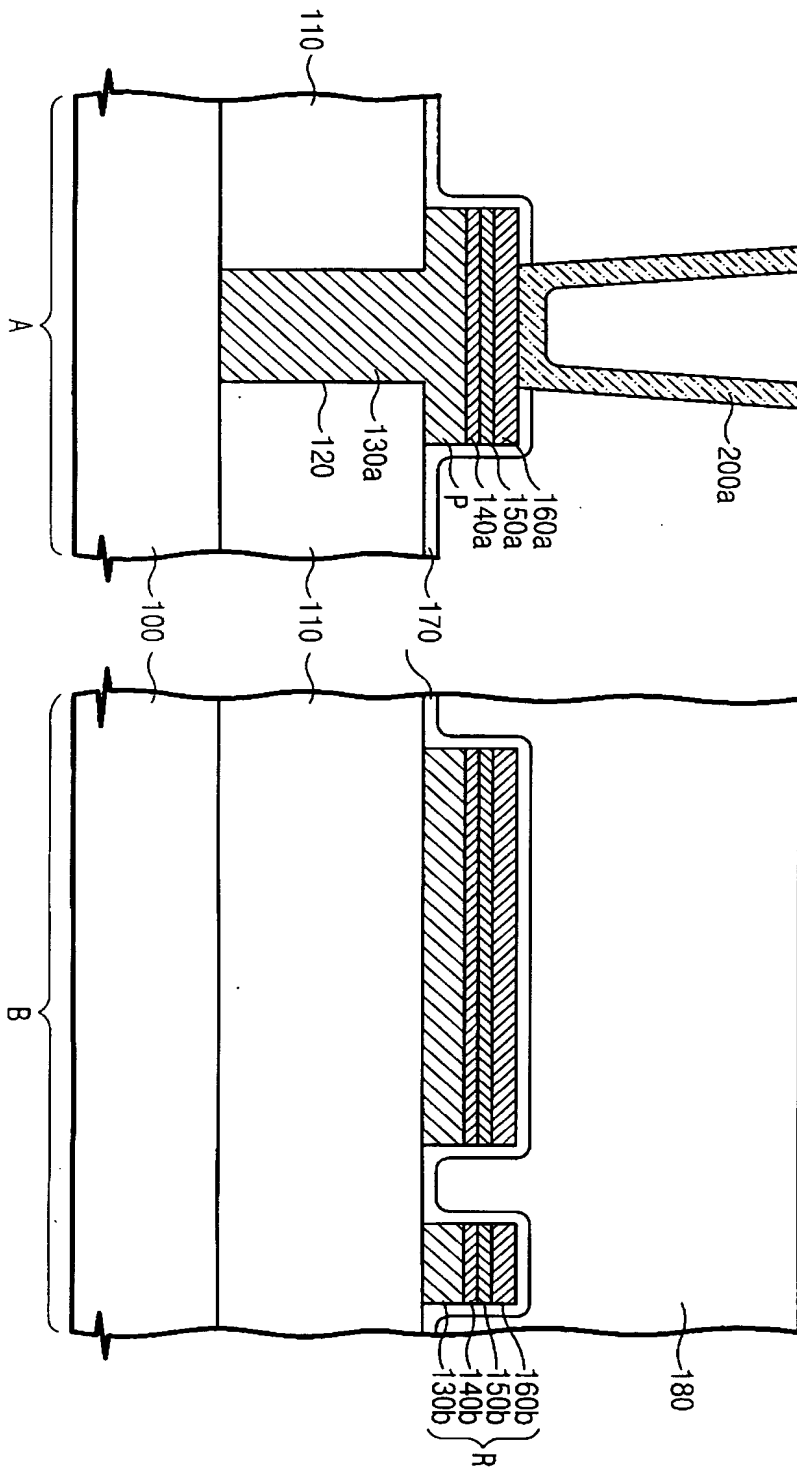
【도 8】



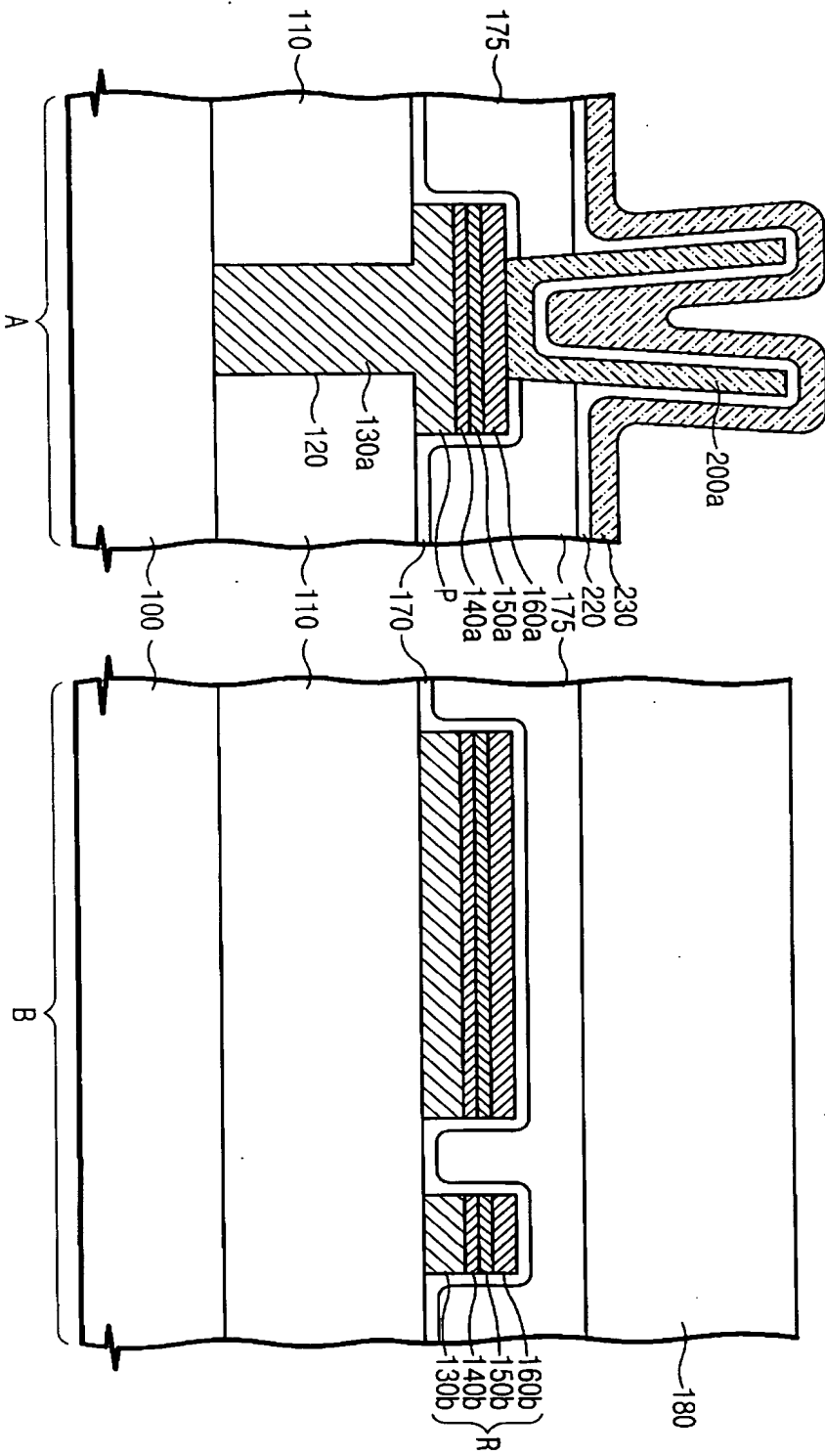
【도 9】



【도 10】



【도 11】



【도 12】

